

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-74717

(43) 公開日 平成11年(1999) 3月16日

(51) Int. Cl.<sup>6</sup>

識別記号

F I

H 0 1 Q 3/38

H 0 1 Q 3/38

H 0 1 H 59/00

H 0 1 H 59/00

H 0 1 P 1/12

H 0 1 P 1/12

1/18

1/18

H 0 1 Q 13/08

H 0 1 Q 13/08

審査請求 有 請求項の数31 O L (全 18 頁) 最終頁に続く

(21) 出願番号

特願平10-176367

(22) 出願日

平成10年(1998) 6月23日

(31) 優先権主張番号

特願平9-166346

(32) 優先日

平 9 (1997) 6月23日

(33) 優先権主張国

日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 丸本 恒久

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 吉野 康則

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 荒 洋一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 山川 政樹

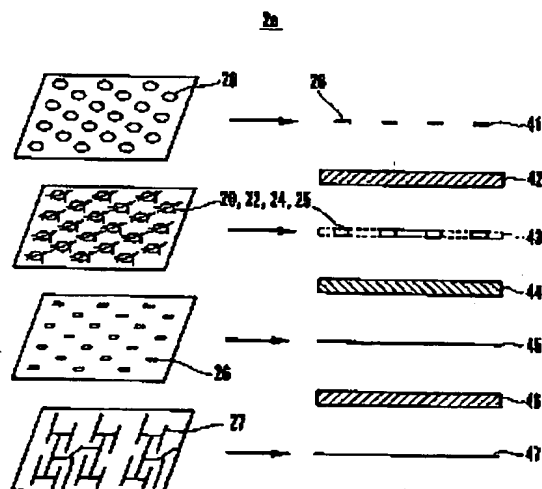
最終頁に続く

(54) 【発明の名称】 フェーズドアレーアンテナ装置

(57) 【要約】

【課題】 高利得フェーズドアレーアンテナ装置を小型化し、その製造コストを低減し、かつ、その配線を簡素化する。

【解決手段】 M個の放射素子25と、給電信号の位相を移相するM個の移相器24と、各移相器24の移相を制御する移相制御回路20と、給電ユニットとによって形成した多層構造を有する。



## 【特許請求の範囲】

【請求項1】 マイクロ波帯またはミリ波帯で用いられる高利得のフェーズドアレーアンテナ装置において、  
M個の放射素子と、

前記各放射素子と結合し前記各放射素子に供給される給電信号の位相をN（M、Nは2以上の整数）ビット毎に移相するM個の移相器と、

前記各移相器の移相を制御する移相制御回路と、

前記各放射素子と結合するように配置された給電ユニットとによって形成した多層構造を有することを特徴とするフェーズドアレーアンテナ装置。

【請求項2】 マイクロ波帯またはミリ波帯で用いられる高利得のフェーズドアレーアンテナ装置において、  
複数の無給電素子を形成した無給電素子層と、  
第1の誘電体層と、

M個の放射素子と、前記各放射素子と結合し前記各放射素子に供給される給電信号の位相をN（M、Nは2以上の整数）ビット毎に移相するM個の移相器と、前記各移相器の移相を制御する移相制御回路とを形成した移相回路層と、

第2の誘電体層と、

前記各放射素子と結合するように複数の給電用スロットを形成した給電用スロット層と、

第3の誘電体層と、

前記給電信号を分配合成する分配合成層とを順に密着形成した多層構造を有することを特徴とするフェーズドアレーアンテナ装置。

【請求項3】 マイクロ波帯またはミリ波帯で用いられる高利得のフェーズドアレーアンテナ装置において、  
複数の無給電素子を形成した無給電素子層と、  
第1の誘電体層と、

M個の放射素子と、前記各放射素子と結合し前記各放射素子に供給される給電信号の位相をN（M、Nは2以上の整数）ビット毎に移相するM個の移相器と、前記各移相器の移相を制御する移相制御回路と、前記給電信号を分配合成する分配合成器とを形成した移相回路層とを順に密着形成した多層構造を有することを特徴とするフェーズドアレーアンテナ装置。

【請求項4】 マイクロ波帯またはミリ波帯で用いられる高利得のフェーズドアレーアンテナ装置において、  
複数の無給電素子を形成した無給電素子層と、  
第1の誘電体層と、

M個の放射素子を形成した放射素子層と、  
第4の誘電体層と、

前記各放射素子と結合するように複数の給電用スロットを形成した給電用スロット層と、  
第5の誘電体層と、

前記各放射素子と結合し前記各放射素子に供給される給電信号の位相をN（M、Nは2以上の整数）ビット毎に移相するM個の移相器と、前記各移相器の移相を制御す

る移相制御回路と、前記給電信号を分配合成する分配合成器とを形成した移相回路層とを順に密着形成した多層構造を有することを特徴とするフェーズドアレーアンテナ装置。

【請求項5】 請求項1において、  
さらに前記放射素子と結合する複数の無給電素子を形成した層を有することを特徴とするフェーズドアレーアンテナ装置。

【請求項6】 請求項1において、  
前記各層は、誘電体基板の片面または両面に形成されることを特徴とするフェーズドアレーアンテナ装置。

【請求項7】 請求項2～4および6いずれか1項において、

前記誘電体の材料には少なくとも一層にガラスが用いられることを特徴とするフェーズドアレーアンテナ装置。

【請求項8】 請求項1～4いずれか1項において、  
前記多層構造は、各層においてプロセス中のフォトリソグラフィ技術、積層または接着により多層化されることを特徴とするフェーズドアレーアンテナ装置。

20 【請求項9】 請求項1～4いずれか1項において、  
前記移相器は、N個の移相素子を有し、

前記各移相素子は、分布定数線路と、

前記分布定数線路に接続されたマイクロ波スイッチとからなることを特徴とするフェーズドアレーアンテナ装置。

【請求項10】 請求項9において、

前記分布定数線路と前記マイクロ波スイッチは、フォトリソグラフィ技術により基板面に一体的に形成されることを特徴とするフェーズドアレーアンテナ装置。

30 【請求項11】 請求項9において、

前記移相素子は、移相量が小さい場合にはローデッドライン形移相器を用い、移相量が大きい場合にはスイッチドライン形移相器を用いることを特徴とするフェーズドアレーアンテナ装置。

【請求項12】 請求項11において、

前記ローデッドライン形移相器は、第1の分布定数線路の両端に接続された第2および第3の分布定数線路の先端と接地との間に各々設けられた第1および第2のマイクロ波スイッチからなることを特徴とするフェーズドアレーアンテナ装置。

【請求項13】 請求項11において、

前記スイッチドライン形移相器は、第4および第5の分布定数線路間に設けられた第3のマイクロ波スイッチと、

前記第4および第5の分布定数線路を接続する第6の分布定数線路と接地との間に設けられた第4のマイクロ波スイッチとからなることを特徴とするフェーズドアレーアンテナ装置。

【請求項14】 請求項9において、

50 前記マイクロ波スイッチは、マイクロマシンスイッチを

用いることを特徴とするフェーズドアレーアンテナ装置。

【請求項15】 請求項14において、  
前記マイクロマシンスイッチは、2個の前記分布定数線路間に設けられ基板上に形成された電極と、  
静電力に応じてわずかに可動して前記各分布定数線路との接触の有無が行われる微小可動子と、  
前記微小可動子を支持する支持部材とからなることを特徴とするフェーズドアレーアンテナ装置。

【請求項16】 請求項15において、  
前記微小可動子は、前記電極の上方に設けられ前記電極もしくは微小可動子に印加された電圧に基づき前記電極側に吸引されることを特徴とするフェーズドアレーアンテナ装置。

【請求項17】 請求項9において、  
前記マイクロ波スイッチは、PINダイオードを用いることを特徴とするフェーズドアレーアンテナ装置。

【請求項18】 請求項1～4いずれか1項において、  
前記移相器は、N個の移相素子を有し、  
前記移相制御回路は、所定の放射ビームを得るように計算された制御データを前記移相器毎に走査線と信号線とに分けて分配するデータ分配回路と、

前記移相器毎に前記走査線からの走査パルスと、前記信号線からの制御信号と、タイミング信号とがそれぞれ入力され、前記タイミング信号に同期したデータを出力するM×N個のデータラッチ回路とからなり、  
前記各データラッチ回路の出力に基づき前記移相器の移相素子の移相を一斉に制御することを特徴とするフェーズドアレーアンテナ装置。

【請求項19】 請求項1～4いずれか1項において、  
前記移相器は、N個の移相素子を有し、  
前記移相制御回路は、所定の放射ビームを得るように計算された制御データを前記移相器毎に走査線と信号線とに分けて分配するデータ分配回路と、  
前記移相器毎に前記走査線からの走査パルスに同期したデータを出力するM×N個のデータラッチ回路とからなり、

前記各データラッチ回路の出力に基づき前記移相器の移相素子の移相を一部ずつ制御することを特徴とするフェーズドアレーアンテナ装置。

【請求項20】 請求項1～4いずれか1項において、  
前記移相器は、N個の移相素子を有し、  
前記移相制御回路は、高速にアンテナビーム方向を変化させる場合には前記各移相器の移相素子の移相を一斉に制御し、低速にアンテナビーム方向を変化させる場合には前記各移相器の移相素子の移相を一部ずつ制御することを特徴とするフェーズドアレーアンテナ装置。

【請求項21】 請求項18または19において、  
前記データラッチ回路は、前記走査パルスと制御信号とが入力される第1のラッチ回路と、

前記第1のラッチ回路の出力と前記タイミング信号とが入力され前記移相素子を駆動する第2のラッチ回路とからなることを特徴とするフェーズドアレーアンテナ装置。

【請求項22】 請求項1～4いずれか1項において、  
前記移相制御回路は、マトリックス状に配置されていることを特徴とするフェーズドアレーアンテナ装置。

【請求項23】 請求項1～4いずれか1項において、  
前記放射素子と前記移相器と前記移相制御回路とはそれぞれ近接して配置されていることを特徴とするフェーズドアレーアンテナ装置。

【請求項24】 請求項1～4いずれか1項において、  
前記移相制御回路は、薄膜トランジスタ回路で構成されることを特徴とするフェーズドアレーアンテナ装置。

【請求項25】 請求項24において、  
前記薄膜トランジスタ回路は、フォトリソグラフィ技術により基板面に一体的に形成されることを特徴とするフェーズドアレーアンテナ装置。

【請求項26】 請求項1～4いずれか1項において、  
前記移相制御回路は、フリップチップICで構成されることを特徴とするフェーズドアレーアンテナ装置。

【請求項27】 請求項26において、  
前記フリップチップICは、複数のパンプを電極としてフリップチップ接続することを特徴とするフェーズドアレーアンテナ装置。

【請求項28】 請求項27において、  
前記フリップチップICは、前記パンプと前記移相器との間をフォトリソグラフィ技術により形成されたパターンを用いて配線されることを特徴とするフェーズドアレーアンテナ装置。

【請求項29】 請求項28において、  
前記フリップチップICは、前記各移相器の側に実装され前記配線により同一層もしくは他の層を介して前記各移相器と接続されることを特徴とするフェーズドアレーアンテナ装置。

【請求項30】 請求項1～4いずれか1項において、  
前記各放射素子と前記各移相器と前記移相制御回路はそれぞれ、マトリックス状に配置されることを特徴とするフェーズドアレーアンテナ装置。

【請求項31】 請求項1において、  
前記給電ユニットは、前記給電信号を分配合成する分配合成器と、  
前記各放射素子に給電する複数の給電用スロットとからなることを特徴とするフェーズドアレーアンテナ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロ波帯やミリ波帯で用いられ、放射素子に給電する位相をデジタル移相器によって変化させる高利得のフェーズドアレーアンテナ装置に関するものである。

【0002】

【従来の技術】フェーズドアレーアンテナは複数の放射素子に給電する位相を電子的に変えることによって放射ビームを走査するアンテナである。各放射素子にはそれぞれ移相器が接続されており、この移相器を制御することによって各放射素子の給電位相を変えることができる。移相器には通常3～5ビットのデジタル移相器（以下、デジタル移相器のことを単に移相器という）が使用され、移相器の各ビットのオン/オフにより給電位相の移相量が設定される。移相器の各ビットのスイッチにはPINダイオード、GaAsFET等の半導体デバイスが使用される。移相器の制御は制御装置によって行われる。この制御装置は各移相器の駆動回路を介して、各移相器に接続されている。制御装置および各駆動回路は、放射素子および移相器が形成される基板に外付けされている。制御装置は放射ビームを所望の方向に向けるのに最適な移相量を各放射素子毎に計算して制御信号を出力する。そして各駆動回路は制御装置からの制御信号に基づいて、移相器の各ビットをオン/オフする。

【0003】

【発明が解決しようとする課題】ところで、フェーズドアレーアンテナの利得を向上させるには、放射素子の数を多くすればよい。しかし、放射素子の数を多くするとそれだけ移相器の数が増え、それに応じて各移相器のビット毎に設けられるスイッチも多数必要になる。従来のフェーズドアレーアンテナ装置では、移相器のスイッチにモジュール化された半導体デバイスが使用されていた。モジュール化されたスイッチを移相器に装着するには手間がかかる。このため、多数のスイッチが必要な高利得フェーズドアレーアンテナは、製造コストが高くなるという問題があった。

【0004】また、フェーズドアレーアンテナの利得を向上させるために、放射素子の数を増やすと、各移相器毎に設けられる駆動回路も多数必要になる。従来のフェーズドアレーアンテナ装置では、移相器の駆動回路にモジュール化されたIC（以下、移相器駆動用ICという）が使用されていた。この移相器駆動用ICは各駆動回路毎にモジュール化されていたため、高利得フェーズドアレーアンテナを実現するには、多数の移相器駆動用ICが必要だった。このため、これら多数のICモジュールを外付けするための広いスペースが必要となり、フェーズドアレーアンテナ装置が大型化してしまうという問題があった。

【0005】また、移相器および移相器駆動用ICが増えると、移相器と移相器駆動用ICとを各ビット毎に接続する配線の数が増える。しかし、限られた面積中に配線できる配線数には限度がある。このため、フェーズドアレーアンテナを高利得とするためには、移相器を制御するための配線に困難が伴った。

【0006】本発明は上記した課題を解決するためにな

されたものであり、その目的は、高利得フェーズドアレーアンテナ装置の製造コストを低減することにある。また、本発明の他の目的は、高利得のフェーズドアレーアンテナ装置の小型化にある。また、本発明の他の目的は、高利得フェーズドアレーアンテナ装置における移相器を制御するための配線を簡素化することにある。

【0007】

【課題を解決するための手段】これらの目的を達成するために、本発明は、M個の放射素子と、各放射素子と結合し各放射素子に供給される給電信号の位相をN（M、Nは2以上の整数）ビット毎に移相するM個の移相器と、各移相器の移相を制御する移相制御回路と、各放射素子と結合するように配置された給電ユニットとによって形成した多層構造を有する。また、請求項2記載の発明は、複数の無給電素子を形成した無給電素子層と、第1の誘電体層と、M個の放射素子と各放射素子と結合し各放射素子に供給される給電信号の位相をN（M、Nは2以上の整数）ビット毎に移相するM個の移相器と各移相器の移相を制御する移相制御回路とを形成した移相回路層と、第2の誘電体層と、各放射素子と結合するように複数の給電用スロットを形成した給電用スロット層と、第3の誘電体層と、給電信号を分配合成する分配合成層とを順に密着形成した多層構造を有する。また、請求項3記載の発明は、複数の無給電素子を形成した無給電素子層と、第1の誘電体層と、M個の放射素子と各放射素子と結合し各放射素子に供給される給電信号の位相をN（M、Nは2以上の整数）ビット毎に移相するM個の移相器と各移相器の移相を制御する移相制御回路と給電信号を分配合成する分配合成器とを形成した移相回路層とを順に密着形成した多層構造を有する。また、請求項4記載の発明は、複数の無給電素子を形成した無給電素子層と、第1の誘電体層と、M個の放射素子と結合し各放射素子に供給される給電信号の位相をN（M、Nは2以上の整数）ビット毎に移相するM個の移相器と各移相器の移相を制御する移相制御回路と給電信号を分配合成する分配合成器とを形成した移相回路層とを順に密着形成した多層構造を有する。また、請求項5記載の発明は、請求項1記載の発明において、さらに放射素子と結合する複数の無給電素子を形成した層を有する。また、請求項6記載の発明は、請求項1記載の発明において、各層は、誘電体基板の片面または両面に形成される。請求項7記載の発明は、請求項2～4および6いずれか1項記載の発明において、誘電体の材料には少なくとも一層にガラスが用いられる。請求項8記載の発明は、請求項1～4いずれか1項記載の発明において、多層構造は、各層においてプロセス中のフォトリソグラフィ技術、積層または接合により多層化される。請求項9記載の発明

は、請求項1～4いずれか1項記載の発明において、移相器は、N個の移相素子を有し、各移相素子は、分布定数線路と、分布定数線路に接続されたマイクロ波スイッチとからなる。請求項10記載の発明は、請求項9記載の発明において、分布定数線路とマイクロ波スイッチは、フォトリソグラフィ技術により基板面に一体的に形成される。請求項11記載の発明は、請求項9記載の発明において、移相素子は、移相量が小さい場合にはロードライン形移相器を用い、移相量が大きい場合にはスイッチドライン形移相器を用いる。請求項12記載の発明は、請求項11記載の発明において、ロードライン形移相器は、第1の分布定数線路の両端に接続された第2および第3の分布定数線路の先端と接地との間に各々設けられた第1および第2のマイクロ波スイッチからなる。請求項13記載の発明は、請求項11記載の発明において、スイッチドライン形移相器は、第4および第5の分布定数線路間に設けられた第3のマイクロ波スイッチと、第4および第5の分布定数線路を接続する第6の分布定数線路と接地との間に設けられた第4のマイクロ波スイッチとからなる。請求項14記載の発明は、請求項9記載の発明において、マイクロ波スイッチは、マイクロマシンスイッチを用いる。請求項15記載の発明は、請求項14記載の発明において、マイクロマシンスイッチは、2個の分布定数線路間に設けられ基板上に形成された電極と、静電力に応じてわずかに可動して各分布定数線路との接触の有無が行われる微小可動子と、微小可動子を支持する支持部材とからなる。請求項16記載の発明は、請求項15記載の発明において、微小可動子に印加された電圧に基づき電極側に吸引される。請求項17記載の発明は、請求項9記載の発明において、マイクロ波スイッチは、PINダイオードを用いる。請求項18記載の発明は、請求項1～4いずれか1項記載の発明において、移相器は、N個の移相素子を有し、移相制御回路は、所定の放射ビームを得るように計算された制御データを移相器毎に走査線と信号線とに分けて分配するデータ分配回路と、移相器毎に走査線からの走査パルスと信号線からの制御信号とタイミング信号とがそれぞれ入力されタイミング信号に同期したデータを出力するM×N個のデータラッチ回路とからなり、各データラッチ回路の出力に基づき移相器の移相素子の移相を一斉に制御する。請求項19記載の発明は、請求項1～4いずれか1項記載の発明において、移相器は、N個の移相素子を有し、移相制御回路は、所定の放射ビームを得るように計算された制御データを移相器毎に走査線と信号線とに分けて分配するデータ分配回路と、移相器毎に走査線からの走査パルスに同期したデータを出力するM×N個のデータラッチ回路とからなり、各データラッチ回路の出力に基づき移相器の移相素子の移相を一部ずつ制御する。請求項20記載の発明は、請求項1～4いずれか

1項記載の発明において、移相器は、N個の移相素子を有し、移相制御回路は、高速にアンテナビーム方向を変化させる場合には各移相器の移相素子の移相を一斉に制御し、低速にアンテナビーム方向を変化させる場合には各移相器の移相素子の移相を一部ずつ制御する。請求項21記載の発明は、請求項18または19記載の発明において、データラッチ回路は、走査パルスと制御信号とが入力される第1のラッチ回路と、第1のラッチ回路の出力とタイミング信号とが入力され移相素子を駆動する第2のラッチ回路とからなる。請求項22記載の発明は、請求項1～4いずれか1項記載の発明において、移相制御回路は、マトリックス状に配置されている。請求項23記載の発明は、請求項1～4いずれか1項記載の発明において、放射素子と移相器と移相制御回路とはそれぞれ近接して配置されている。請求項24記載の発明は、請求項1～4いずれか1項記載の発明において、移相制御回路は、薄膜トランジスタ回路で構成される。請求項25記載の発明は、請求項24記載の発明において、薄膜トランジスタ回路は、フォトリソグラフィ技術により基板面に一体的に形成される。請求項26記載の発明は、請求項1～4いずれか1項記載の発明において、移相制御回路は、フリップチップICで構成される。請求項27記載の発明は、請求項26記載の発明において、フリップチップICは、複数のバンプを電極としてフリップチップ接続する。請求項28記載の発明は、請求項27記載の発明において、フリップチップICは、バンプと移相器との間をフォトリソグラフィ技術により形成されたパターンを用いて配線される。請求項29記載の発明は、請求項28記載の発明において、フリップチップICは、各移相器の側に実装され配線により同一層もしくは他の層を介して各移相器と接続される。請求項30記載の発明は、請求項1～4いずれか1項記載の発明において、各放射素子と各移相器と移相制御回路はそれぞれ、マトリックス状に配置される。請求項31記載の発明は、請求項1記載の発明において、給電ユニットは、給電信号を分配合成する分配合成器と、各放射素子に給電する複数の給電用スロットとからなる。

【0008】本発明では、移相器とこの移相器の移相を制御する移相制御回路とが一体的に形成される。したがって、移相器のスイッチであるマイクロ波スイッチが、移相器の他の部分と一体的に形成される。このため、従来のモジュール化されたスイッチを装着するための工程を削減できる。また、移相器と移相制御回路とが一体的に形成されるので、従来外付けされていた移相器の駆動用ICを配置するためのスペースを除去できるとともに、移相器を制御するための配線を簡素化できる。あるいは、移相制御回路がフリップチップICによって形成される。フリップチップICを用いれば、IC内部配線をワイヤボンディングで行なう必要がないので、ICの

小型化が可能であり、ICの実装密度を高くすることができ、このため、従来より移相器駆動用のICを配置、配線するためのスペースを小さくすることができる。

【0009】

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて詳細に説明する。なお、以下の説明では、給電信号である高周波信号の流れとしてアンテナが信号を送信している場合について述べるが、アンテナが信号を受信している場合でも可逆の理により、動作原理は本質的に同じであることを予めことわっておく。

【0010】（第1の実施の形態）図1は本発明によるフェーズドアレーアンテナ装置の第1の実施の形態の構成を示すブロック図である。図1に示されたフェーズドアレーアンテナ装置はM個（Mは2以上の整数）の放射素子25を有しており、各放射素子25はNビット（Nは1または2以上の整数）の移相器24にそれぞれ接続され、各移相器24は分配合成器27を介して給電部3に接続されている。また、各移相器24は移相制御回路である移相器駆動用の薄膜トランジスタ回路（以下、TFT回路という）20に接続され、TFT回路20は制御装置1に接続されている。

【0011】TFT回路20は、各移相器24毎に設けられたM個のデータラッチ回路22と、データ分配回路21とによって構成されており、各移相器24は各データラッチ回路22にそれぞれ接続され、各データラッチ回路22はデータ分配回路21に接続され、制御装置1はデータ分配回路21および各データラッチ回路22に接続されている。また、各移相器24は各ビット毎にマイクロ波スイッチを備えており、各データラッチ回路22は各移相器24のマイクロ波スイッチに接続されている。TFT回路20は放射素子25および移相器24とともに同一基板に一体的に形成され、分配合成器27とともにアンテナ部2aを構成している。

【0012】制御装置1は放射ビームを所望の方向に向けるのに最適な移相量を各放射素子25毎に計算し、制御信号（制御データ）aとしてデータ分配回路21に出力する。また、制御装置1はビーム方向を切り換えるためのタイミング信号bを各データラッチ回路22に出力する。データ分配回路21は制御信号aに基づき、各データラッチ回路22に対して制御信号a'を出力する。各データラッチ回路22はタイミング信号bに同期して、制御信号a'に基づき各移相器24に駆動電圧（データ）cを供給する。一方、分配合成器27は、給電部3から出力される高周波信号を分配して各移相器24に出力する。各移相器24は各データラッチ回路22から供給される駆動電圧cにより移相量が設定され、その移相量だけ各放射素子25に給電する位相を変化させる。各放射素子25は給電位相に応じた位相の放射をする。

【0013】次に、図1に示されたフェーズドアレーアンテナ装置の動作について説明する。制御装置1は予め

設定されている放射素子25の位置と使用する周波数とに基づいて、放射ビームを所望の方向に向けるのに最適な移相量を、M個の放射素子25毎にそれぞれNビットの精度で計算し、制御信号aとしてデータ分配回路21に出力する。制御信号aはデータ分配回路21によって、各データラッチ回路22に制御信号a'として分配・供給される。

【0014】以下、放射素子25の放射の方向は各放射素子25毎に1個ずつ徐々に切り換えられるのではなく、アンテナ部2aの全ての放射素子25について一斉に切り換えられる場合について説明する。この場合、各データラッチ回路22は、ビーム方向を切り換えるためのタイミング信号bに同期して、保持データを入力データである制御信号a'に書き換え、保持データ（制御信号a'）に基づき、移相器24の必要なビットのマイクロ波スイッチに対して駆動電圧cを一斉に印加する。

【0015】マイクロ波スイッチに駆動電圧cが印加されると、マイクロ波スイッチは回路を開閉して、そのマイクロ波スイッチが含まれるビットをオン状態にする。移相器24のどのビットがオン状態になるかで、その移相器24の移相量が設定される。各移相器24は、このようにして設定された移相量だけ高周波信号の位相を変えて、各放射素子25に給電する。そして各放射素子25は給電位相に応じた位相の放射をして、その放射が等位相面が生成することにより、この等位相面と垂直な方向に放射ビームを形成する。

【0016】次に、図1に示されたフェーズドアレーアンテナ装置のアンテナ部2aの構造について説明する。図2はアンテナ部2aの構造を示す展開図である。アンテナ部2aは図2に示されるように多層化されている。すなわち、無給電素子層41、第1の誘電体層42、放射素子・移相器・TFT回路層（以下、移相回路層と略記する）43、第2の誘電体層44、給電用スロット層45、第3の誘電体層46、分配合成層47の各層がこの順に密着形成されている。以上の各層はプロセス中のフォトリソグラフィ技術、積層または接合により多層化される。例えば、無給電素子層41および移相回路層43は誘電体層42の両面に、また給電用スロット層45は誘電体層44の片面に、フォトリソグラフィ技術等により形成される。

【0017】無給電素子層41には無給電素子26が形成されている。図1には無給電素子26は図示されていないが、無給電素子26を用いることによってアンテナの帯域を広げることができる。無給電素子26は誘電体層42を介して、移相回路層43の放射素子25と電磁結合されている。誘電体層42には比誘電率が2〜10程度の誘電体を用いられる。例えば誘電体層42にガラスを用いれば、製造コストを低減できる。このように、誘電体層のうちの少なくとも一層にガラスを用いるのが望ましい。なお、製造コストの問題を無視すれば、誘電

体層 4 2 に比誘電率の高いアルミナや比誘電率の低い発泡材など、他の誘電体を使用できることは言うまでもない。

【0018】移相回路層 4 3 には図 1 に示された放射素子 2 5、移相器 2 4、TFT 回路 2 0 (データラッチ回路 2 2 を含む) と放射素子 2 5 に給電するためのストリップラインが形成されている。このように図 1 に示されたフェーズドアレイアンテナ装置では、従来外付け IC だった移相器の駆動回路を、TFT 回路 2 0 として放射素子 2 5 および移相器 2 4 と同一の層に形成している。誘電体層 4 4 にはアルミナなど比誘電率が 3 ~ 12 程度の誘電体がいられる。

【0019】給電用スロット層 4 5 には給電用結合手段として給電用スロット 2 8 が形成され、分配合成層 4 7 には図 1 に示された分配合成器 2 7 が形成されている。分配合成器 2 7 は給電用スロット層 4 5 を介して移相回路層 4 3 と電磁的に結合されている。分配合成器 2 7 と給電用スロット 2 8 とによって給電ユニットが構成される。放射素子 2 5 は給電用スロット 2 8 から移相器 2 4 を経由し、ストリップラインを介して給電される。また、給電用スロット層 4 5 は接地層でもあり、誘電体層 4 4 に適宜設けられたスルーホールを介して移相回路層 4 3 を接地する。

【0020】以上の各層に形成された無給電素子 2 6、放射素子 2 5、移相器 2 4、TFT 回路 2 0 のデータラッチ回路 2 2 および給電用スロット 2 8 は、各 1 個ずつで 1 つのユニットを構成しており、各ユニットはマトリックス状に配置されている。なお、上記したとおり図 2 では各ユニットがマトリックス状に配置されているが、必ずしも各ユニットがマトリックス状に配置されていなくても本発明は有効である。また、放射素子 2 5 はマトリックス状に配置されていてもよいし、単に 2 次元的に配列されているだけでもよいし、あるいは一方向に整列配置されているものであっても本発明は有効である。

【0021】また、図 2 では放射素子 2 5、移相器 2 4 および TFT 回路 2 0 が誘電体層 4 2 の一方の面上に形成されているが、移相器 2 4 および TFT 回路 2 0 を誘電体層 4 2 の一方の面上に形成し、放射素子 2 5 を他方の面上に形成することも可能である。このとき放射素子 2 5 は誘電体層 4 2 を介して、移相器 2 4 に連なるストリップラインと電磁的に結合されている。

【0022】また、図 2 では分配合成器 2 7 と移相回路層 4 3 とが給電用スロット層 4 5 を介して電磁的に結合されているが、分配合成器 2 7 と移相回路層 4 3 とが給電ピン等の他の給電用結合手段で接続されている場合や、図 1 3 に示されるように分配合成器 2 7 が移相回路層 4 3 と同一面に形成されている場合も、本発明は有効である。さらに、図 1 4 に示されるように、放射素子層 4 3 1 を移相回路層 4 3 とは別に設け、第 4、第 5 の誘電体層 4 3 2、4 3 4 および給電用スロット層 4 3 3 を

介して、放射素子層 4 3 1 上の放射素子 2 5 を電磁的に励振する場合も本発明は有効である。

【0023】次に、図 2 に示された移相回路層 4 3 について更に説明する。図 3 は移相回路層 4 3 の 1 ユニットの配置を示す透視図である。なお、図 3 は図 2 に示された誘電体層 4 2 にガラスが使用された場合を示している。ガラス基板 5 0 上には、放射素子 2 5、移相器 2 4 およびデータラッチ回路 2 2 が形成されている。ただし、データラッチ回路 2 2 は移相器 2 4 の各ビット毎に設けられたデータラッチ回路 2 2' によって構成されており、図 3 にはこのデータラッチ回路 2 2' が図示されている。

【0024】また、ストリップライン 2 9 が放射素子 2 5 から移相器 2 4 を介して、図 2 に示された給電用スロット 2 8 に対応するガラス基板 5 0 上の位置まで印刷配線されている。放射素子 2 5 および給電用スロット 2 8 は座標軸 X に対して同じ側 (左側) に配置され、移相器 2 4 およびデータラッチ回路 2 2' はこの座標軸 X に対して異なる側 (右側) に配置されている。

【0025】放射素子 2 5 には例えばパッチアンテナ、プリントダイポール、スロットアンテナ、アパーチャ素子などが使用される。また、ストリップライン 2 9 にはマイクロストリップ線路、トリプレート線路、コプレーナ線路、スロット線路などの分布定数線路が使用される。

【0026】移相器 2 4 は放射素子 2 5 の周辺に配置されている。また、移相器 2 4 は 4 ビットの移相器であり、4 個の移相器 2 4 a、2 4 b、2 4 c、2 4 d によって構成されている。各移相器 2 4 a ~ 2 4 d はそれぞれ給電する位相を  $22.5^\circ$ 、 $45^\circ$ 、 $90^\circ$ 、 $180^\circ$  だけ変化させることができる。なお、移相器 2 4 とそれを構成する移相器 2 4 a ~ 2 4 d との混同を避けるため、以下、移相器 2 4 a ~ 2 4 d を移相素子 2 4 a ~ 2 4 d と呼んで区別する。各移相素子 2 4 a ~ 2 4 d は、ストリップ線路 5 1 とマイクロ波スイッチとにより構成される。ストリップ線路 5 1 には、例えばマイクロストリップ線路、トリプレート線路、コプレーナ線路などの分布定数線路が使用される。また、マイクロ波スイッチにはマイクロマシンスイッチ 5 2 が使用される。

【0027】移相素子 2 4 a ~ 2 4 c では、2 個のストリップ線路 (第 2、第 3 の分布定数線路) 5 1 のそれぞれ一方の端部がストリップライン (第 1 の分布定数線路) 2 9 の途中に接続されており、2 個のマイクロマシンスイッチ (第 1、第 2 のマイクロ波スイッチ) 5 2 がそれぞれ 2 個のストリップ線路 5 1 の他方の端部と接地 5 3 とを接続するように配置されている。また移相素子 2 4 d では、切断されたストリップライン (第 4、第 5 の分布定数線路) 2 9 の間に U 字形のストリップ線路 (第 6 の分布定数線路) 5 1 の両端がそれぞれ接続されており、一方のマイクロマシンスイッチ (第 3 のマイク

10

20

30

40

50

口波スイッチ) 52はストリップライン29の間を接続するように配置され、他方のマイクロマシンスイッチ(第4のマイクロ波スイッチ) 52はストリップ線路51の中央部と接地53とを接続するように配置されている。

【0028】前者をローデッドライン形移相器、後者をスイッチドライン形移相器と呼ぶ。一般に、移相量が小さい場合にはローデッドライン形の方が良い特性が得られ、移相量が大きい場合にはスイッチドライン形の方が良い特性が得られる。このため、ここでは22.5°、45°、90°の各移相素子24a~24cにはローデッドライン形を用い、180°の移相素子24dにはスイッチドライン形を用いたが、移相素子24a~24cにスイッチドライン形を用いることも可能である。また、移相素子24a~24dに線路切換形などローデッドライン形、スイッチドライン形以外の移相回路を使用してもよい。

【0029】各移相素子24a~24dに含まれる2個のマイクロマシンスイッチ52は、その近傍に配置されたデータラッチ回路22'に接続されている。2個のマイクロマシンスイッチ52はデータラッチ回路22'が出力する駆動電圧cによって同時に動作して、ストリップ線路51を選択的に接地し、あるいは、切断されたストリップライン29を選択的に接続する。こうしてストリップライン29に流れる高周波信号をストリップ線路51に流すことによって、給電位相を変化させることができる。

【0030】なお、データラッチ回路22'はマイクロマシンスイッチ52の近傍に配置されているといったが、複数のデータラッチ回路22'を一カ所にまとめて配置して、そこから配線をのばして各マイクロマシンスイッチ52を駆動するようにしてもよい。また、1個のデータラッチ回路22'が複数の異なるユニットのマイクロマシンスイッチ52に接続される場合もある。

【0031】次に、図1に示されたTFT回路20について更に説明する。図4は図1に示されたデータラッチ回路22がマトリクス状に形成された場合のTFT回路20の配置を示すブロック図である。図4に示されるように各データラッチ回路22は信号線61と走査線62とに接続され、信号線61は信号線駆動回路211に、走査線62は走査線駆動回路212にそれぞれ接続されている。データラッチ回路22は4ビットの移相器24を駆動するためのものであり、それぞれ4個のデータラッチ回路22'からなる。このため各データラッチ回路22は2本の信号線61と2本の走査線62とに接続されている。また、信号線駆動回路211および走査線駆動回路212は図1に示されたデータ分配回路21に含まれる。

【0032】図5は図4に示されたデータラッチ回路22の構成を示すブロック図である。データラッチ回路2

2は、4ビットの移相器24を構成する22.5°、45°、90°、180°の各移相素子24a~24dに対応する4個のデータラッチ回路22'によって構成されている。各データラッチ回路22'は、さらに第1および第2のデータラッチ回路63、64によって構成されており、データラッチ回路63、64にはDフリップフロップ等が使用される。

【0033】データラッチ回路63のD入力端子は信号線61に接続され、クロック入力端子は走査線62に接続されている。また、データラッチ回路64のD入力端子はデータラッチ回路63の出力端子に接続され、クロック入力端子は図1に示された制御装置1に接続され、ビーム方向を切り換えるためのタイミング信号bが入力される。さらに、データラッチ回路64の出力端子は図3に示された移相器24の2個のマイクロマシンスイッチ52に接続されている。データラッチ回路63は走査線62からの走査パルス(周期T)に同期して信号線61から入力された制御信号a'を保持する。データラッチ回路64はタイミング信号bに同期してデータラッチ回路63から出力される制御信号a'を保持するとともに、保持している制御信号a'に基づいて駆動電圧cをマイクロマシンスイッチ52に供給する。

【0034】次に、図5に示されたデータラッチ回路22'の動作について説明する。図6はこのデータラッチ回路22'の動作を示すタイミングチャートである。走査線62に走査パルスが加わると、データラッチ回路63は信号線61から入力される制御信号a'の論理レベルを保持する。図6において、p点で走査パルスが加えられたとき制御信号a'の論理レベルは「H」であるから、データラッチ回路63は論理レベル「H」を保持する。その後、制御信号a'の論理レベルが変化しても、データラッチ回路63は周期T後の次の走査パルスが加えられるまで論理レベル「H」を保持する。

【0035】このときデータラッチ回路63からはデータラッチ回路64のD入力に論理レベル「H」が出力され続ける(Q1)。そしてq点で制御装置1からデータラッチ回路64にタイミング信号bが出力されると、データラッチ回路64はそれに同期して、データラッチ回路63から出力される制御信号a'の論理レベル「H」を保持し、論理レベル「H」を出力する(Q2)。この出力が駆動電圧cとして2つのマイクロマシンスイッチ52に同時に印加される(Q3)。

【0036】次に、r点で走査線62に走査パルスが加わると、そのとき信号線61から入力される制御信号a'の論理レベルは「L」であるから、データラッチ回路63は論理レベル「L」を保持する。このため、データラッチ回路63の出力Q1は論理レベル「L」に変わる。そしてs点で制御装置1から再びタイミング信号bが出力されると、データラッチ回路64はデータラッチ回路63から出力される論理レベル「L」を保持して、



これを出力する(Q2)ため、これによりマイクロマシンスイッチ52への駆動電圧cの印加は停止される。

【0037】このように信号線61および走査線62に接続されたデータラッチ回路63の後段に、制御装置1からのタイミング信号hに同期して制御信号a'を保持するデータラッチ回路64を設けることにより、全てのデータラッチ回路22'はタイミング信号hに同期して一斉に移相素子24a~24dに駆動電圧cを出力するため、全ての放射素子25の放射を同時に切り換えることができる。このように、全ての放射素子25の放射を同時に切り換えることにより、短時間のうちにアンテナのビーム方向を大きく変更することが可能となる。

【0038】ただし、マイクロマシンスイッチ52等のマイクロ波スイッチの切換動作中は、このマイクロ波スイッチに対応する放射素子25の位相が不安定になるため、全ての放射素子25の放射を同時に切り換えると、短時間ではあるが通信断が生ずることがある。これに対して、アンテナビーム方向を少しずつ変化させたい場合は、放射素子25を全て同時に切り換えるのではなく、時間差を設けて一部ずつ切り換えれば、位相不安定となる放射素子25が全体の一部となるので、通信を常時確保しながらアンテナビーム方向を徐々に変化させることができる。したがって、アンテナビーム方向を短時間に大きく変化させる場合は通信断が短時間発生するものの全ての放射素子25の放射を同時に切り換え、アンテナビーム方向を徐々に変化させる場合は通信を確保しながら放射素子25を一部ずつ切り換える、という2つの制御方式を備えるのがフェーズドアレーアンテナには望ましい。

【0039】上記したように放射素子25の放射を一部ずつ切り換える制御方式は、図5に示された回路でも実現可能である。以下に、図15に示されるタイミングチャートを用いて、放射素子25の放射を一部ずつ切り換える制御方式について説明する。図15が図6と異なる点は、図6ではタイミング信号hがq点およびs点の瞬間にパルス状に与えられるのに対して、図15ではタイミング信号hが常時「H」の論理レベルに保持されている点である。

【0040】このようにデータラッチ回路64に供給されるタイミング信号hの論理レベルを常時「H」に保っておくことにより、p点において走査パルスがデータラッチ回路63に入力され、データラッチ回路63の出力Q1の論理レベルが「L」から「H」に変化すると同時に、データラッチ回路64の出力Q2の論理レベルも「L」から「H」に変化し、この出力が駆動電圧cとなってマイクロマシンスイッチ52に印加される。またs点においても同様に、走査パルスがデータラッチ回路63に入力され、データラッチ回路63の出力Q1の論理レベルが「H」から「L」に変化すると同時に、データラッチ回路64の出力Q2の論理レベルも「H」から

「L」に変化する。

【0041】したがって、放射素子25全体で見れば、走査パルスが入力されたデータラッチ回路63に対応する放射素子25のみが順次切り換えられていることがわかる。以上の説明から明らかなように、図5に示された回路では、データラッチ回路64へのタイミング信号hの与え方により、アンテナビーム方向の変化の大小に応じて、全ての放射素子25の放射を同時に切り換える方式と、放射素子25の放射を一部ずつ切り換える方式の2つの制御方式を実現することが可能である。

【0042】次に、図1に示されたデータラッチ回路22の他の例について説明する。図7はデータラッチ回路22の他の構成を示すブロック図である。図7に示されたデータラッチ回路22は4ビットの移相器24を駆動するためのものであり、4ビットのシフトレジスタ66の出力側に各ビット毎にデータラッチ回路67が接続され、各データラッチ回路67の出力側に移相器24の各ビットのマイクロマシンスイッチ52がそれぞれ2個ずつ接続されている。シフトレジスタ66には図1に示されたデータ分配回路21から制御信号a'がシリアルに出力されるとともに、図1に示された制御装置1からシフトクロック信号dが出力される。また、データラッチ回路67には制御装置1からタイミング信号hが出力される。

【0043】シフトレジスタ66は直列入力並列出力形シフトレジスタであり、シリアルな制御信号a'を各データラッチ回路67に対してパラレルに出力する。各データラッチ回路67はタイミング信号hに同期して、シフトレジスタ66の各ビットから出力される制御信号a'を保持するとともに、保持している制御信号a'に基づいて駆動電圧cをマイクロマシンスイッチ52に出力する。

【0044】次に、図7に示されたデータラッチ回路22の動作について説明する。図1に示されたデータ分配回路21からシフトレジスタ66に、移相器24の各ビットの駆動を制御するための制御信号a'がシリアルに出力される。シフトレジスタ66はクロック信号dの入力により、制御信号a'を最初のビットに格納する。そして、次のシフトクロック信号dが入力されると、最初のビットに格納された制御信号a'をその次のビットに転送するとともに、最初のビットに新たな制御信号a'を格納する。同様にして、あるビットに格納された制御信号a'はシフトクロック信号dに同期して、その次のビットに転送される。したがってnビットのシフトレジスタの場合、シフトクロック信号dがn回入力されると、シフトレジスタに格納された制御信号a'が更新される。前述したように図7に示されたシフトレジスタ66は4ビットであるから、4回のシフトクロック信号dで、格納された制御信号a'が更新される。

【0045】制御装置1からシフトクロック信号dが4

回出力されて、シフトレジスタ66内の制御信号a'が更新されると、制御装置1からビーム方向を切り換えるためのタイミング信号bが各データラッチ回路67に出力される。各データラッチ回路67はこのタイミング信号bが入力されると、そのときシフトレジスタ66からバラレルに出力されている制御信号a'を一斉にラッチし、移相器24の各ビットに駆動電圧cを出力するため、図5に示されたデータラッチ回路22と同様に、アンテナ部2aの全ての放射素子25の放射方向を同時に変えることができる。

【0046】図1に示されるように、データ分配回路21は移相器24の各ビット毎に制御信号a'をバラレルに送出してもよいが、図7に示されるように制御信号a'をシリアルに送出することによって、データ分配回路21と各データラッチ回路22との間の配線の本数を少なくすることができる。また、図7に示されたシフトレジスタ66は各移相器24毎に設けられているが、ビット数が多いシフトレジスタを使用することにより、1個のシフトレジスタで複数の移相器24を担当させることもできる。この場合、1個のデータラッチ回路22が複

数の移相器24の駆動を制御することになる。

【0047】次に、図3に示されたマイクロマシンスイッチ52について更に説明する。図8はマイクロマシンスイッチ52の構造を示す斜視図であり、ストリップ線路51と接地53との間に配置されたマイクロマシンスイッチ52を示している。マイクロマシンスイッチ52は電極71、微小可動子72および支持部材73によって構成される。微小可動子72と支持部材73とを合わせてカンチレバーという。

【0048】図8に示されるように、ガラス基板50上にはストリップ線路51と接地53とが離間して形成されている。電極71はこれらストリップ線路51と接地53との間のガラス基板50上にフォトリソグラフィ技術により形成されている。しかし、電極71はストリップ線路51および接地53のいずれにも接触していない。ストリップ線路51および接地53はそれぞれ同じ高さに形成されているが、電極71はそれよりも十分低く形成されている。

【0049】また、微小可動子72は電極71の上方に形成され、ストリップ線路51、接地53および電極71と対向している。支持部材73はガラス基板50上に形成され、微小可動子72を片持ち支持している。電極71および微小可動子72は導体で形成されるが、支持部材73については導体、半導体、絶縁体のいずれで形成してもよい。

【0050】図9は図8に示されたマイクロマシンスイッチ52の平面図であり、ローデッドライン形の移相素子24a~24cに適用された2個のマイクロマシンスイッチ52を示している。図9に示されるように、2個のマイクロマシンスイッチ52は2個のストリップ線路

51の対称線に対して対称に配置されている。また、2個のマイクロマシンスイッチ52に含まれるそれぞれの電極71は1個のデータラッチ回路22'の出力側に接続され、データラッチ回路22'から同時に駆動電圧(外部電圧)cが供給される。

【0051】次に、マイクロマシンスイッチ52の動作について説明する。図10は図8に示されたマイクロマシンスイッチ52の断面図であり、(A)はマイクロマシンスイッチ52の開状態、(B)は閉状態をそれぞれ示している。

【0052】まず、データ分配回路21から論理レベル「L」の制御信号a'が出力されると、データラッチ回路22'は電極71に駆動電圧cを印加しない。このとき微小可動子72は図10(A)に示されるように、ストリップ線路51および接地53の上方にあって、ストリップ線路51および接地53と接触しないため、マイクロマシンスイッチ52は開状態になる。また、前述したように電極71はストリップ線路51および接地53と接触しないように配置されているため、ストリップ線路51は開放される。このとき移相素子24a~24cは動作せず、ストリップライン29を流れる高周波信号はストリップ線路51から接地53に流れないので、放射素子25への給電位相は変化しない。

【0053】次に、データ分配回路21から論理レベル「H」の制御信号a'が出力されると、データラッチ回路22'は電極71に駆動電圧cを印加する。このとき電極71に印加される駆動電圧cは100[V]以下程度である。電極71にこのような正の駆動電圧cが印加されると、電極71の表面には正電荷が現れ、電極71に対向する微小可動子72の表面には静電誘導により負電荷が現れる。そして電極71の正電荷と微小可動子72の負電荷との静電力により吸引力が発生するため、この吸引力によって微小可動子72は図10(B)に示されるように、電極71の方に引き下げられる。

【0054】これにより、微小可動子72はストリップ線路51および接地53と接触するため、マイクロマシンスイッチ52は閉状態になり、ストリップ線路51は微小可動子72を介して接地53と高周波的に接続される。このとき移相素子24a~24cは動作し、マイクロストリップ線路を流れる高周波信号はストリップ線路51から接地53に流れるので、放射素子25への給電位相が変化する。スイッチドライン形の移相素子24dについても同様に、マイクロマシンスイッチ52の電極71に駆動電圧cを選択的に印加すると、微小可動子72がストリップ線路51および接地53、または切断されたストリップライン29を選択的に接続するため、そこに高周波信号が流れて給電位相が変化する。なお、前述したように電極71の高さはストリップ線路51および接地53よりも十分低いので、微小可動子72がストリップ線路51および接地53と接触するとき、微小

可動子 72 が電極 71 と接触することはない。

【0055】また、図 8 に示されたマイクロマシンスイッチ 52 はオーム結合形のマイクロマシンスイッチであるが、微小可動子 72 の下側の面に誘電体膜が形成されたカンチレバーを用いる容量結合形のマイクロマシンスイッチを使用することもできる。また、図 8 に示されたマイクロマシンスイッチ 52 では、駆動電圧  $c$  が電極 71 に印加されているが、データラッチ回路 22' の出力側を微小可動子 72 に接続して、微小可動子 72 に駆動電圧  $c$  を印加することにより、電極 71 と微小可動子 72 との間に静電力が発生するようにしてもよい。

【0056】従来のフェーズドアレーアンテナ装置では、マイクロ波スイッチとしてモジュール化された PIN ダイオードが使用されていた。しかし PIN ダイオードは半導体接合面におけるエネルギーロスが大きいため、消費電力が大きくなる。これに対して本実施の形態では、これまで説明してきたようにマイクロ波スイッチとしてマイクロマシンスイッチ 52 を使用するため、スイッチにおける消費電力を 10 分の 1 以下程度に低減することができる。なお、本発明でも消費電力の問題を無視すれば、マイクロ波スイッチとして PIN ダイオード等の半導体デバイスを使用することも可能である。大きさが  $36\text{ cm} \times 36\text{ cm} \times 10\text{ cm}$  程度、放射素子数  $M$  が  $4000 \sim 5000$  程度のフェーズドアレーアンテナに本実施の形態を適用すると、周波数  $30\text{ GHz}$  で  $35\text{ dB}$  程度の高利得が得られる。

【0057】(第 2 の実施の形態) 次に、本発明の第 2 の実施の形態について説明する。図 11 は本発明によるフェーズドアレーアンテナ装置の第 2 の実施の形態の構成を示すブロック図である。図 11 において図 1 と同等な部分は同一の符号を付し、その説明は省略する。図 11 に示されたフェーズドアレーアンテナ装置が図 1 に示されたフェーズドアレーアンテナ装置と異なる点は、図 11 に示されたフェーズドアレーアンテナ装置はアンテナ部 21 に、TFT 回路 20 のかわりにフリップチップ IC 回路 30 を有する点である。

【0058】したがって、 $M$  個の放射素子 25 は  $N$  ビットの移相器 24 にそれぞれ接続され、各移相器 24 は分配合成器 27 を介して給電部 3 に接続されており、また、各移相器 24 は移相器駆動用のフリップチップ IC 回路 (駆動手段) 30 に接続され、フリップチップ IC 回路 30 は制御装置 1 に接続されている。フリップチップ IC 回路 30 は、各移相器 24 の各ビット毎に設けられたデータラッチ回路 32 および駆動回路 33 と、データ分配回路 31 とによって構成されている。そして、各移相器 24 は各ビット毎に各駆動回路 33 にそれぞれ接続され、各駆動回路 33 は各データラッチ回路 32 にそれぞれ接続され、各データラッチ回路 32 はデータ分配回路 31 に接続され、制御装置 1 はデータ分配回路 31 および各データラッチ回路 32 に接続されている。

【0059】制御装置 1 は移相器 24 の各ビットの駆動を制御するための制御信号  $a$  をデータ分配回路 31 に出力するとともに、ビーム方向を切り換えるためのタイミング信号  $b$  を各データラッチ回路 32 に出力する。データ分配回路 31 は制御信号  $a$  に基づき、各データラッチ回路 32 に対して制御信号  $a'$  を出力する。各データラッチ回路 32 はタイミング信号  $b$  に同期して保持データを書き換え、その保持データを各駆動回路 33 に出力する。各駆動回路 33 は各データラッチ回路 32 の出力に基づき、各移相器 24 の各ビットに駆動電圧  $c$  を出力する。一方、分配合成器 27 は、給電部 3 から出力される高周波信号を分配して各移相器 24 に出力する。各移相器 24 は各駆動回路 33 から供給される駆動電圧  $c$  により移相量が設定され、その移相量だけ放射素子 25 に給電する位相を変化させる。各放射素子 25 は給電位相に応じた位相の放射をする。

【0060】次に、図 11 に示されたフェーズドアレーアンテナ装置の動作について簡単に説明する。各データラッチ回路 32 はビーム方向を切り換えるためのタイミング信号  $b$  に同期して、保持データを入力データである制御信号  $a'$  に書き換え、保持データ (制御信号  $a'$ ) を各駆動回路 33 に出力する。このため、移相器 24 の各ビットには各駆動回路 33 から一斉に駆動電圧  $c$  が供給されるので、全ての放射素子 25 の放射の方向を同時に変えることができる。

【0061】ここで、図 11 に示されたデータラッチ回路 32 および駆動回路 33 が形成されるフリップチップ IC について説明する。フリップチップ IC は、パッケージングせずに電極上にバンパを形成し、このバンパと基板上的のパターンとを直接はんだ付けまたは異方性導電シート等で接合する IC チップである。このバンパは IC チップの周辺部のみでなく、IC チップの表面全面に形成できる。IC 内部のモジュールチップを通常の IC のようにリードピンと接続するためのワイヤボンディングが必要でないので、IC の占有面積が小さくすみ、実装密度が高くなり、狭いスペースに多くの IC を実装し、配線することができる。このため、アンテナの利得を向上させるために放射素子 25 の数を増やして移相器 24 の数が多くなっても、移相器 24 の駆動回路 33 およびデータラッチ回路 32 をフリップチップ技術を用いて形成することにより、フェーズドアレーアンテナ装置の大型化を抑えることができる。

【0062】図 12 はフリップチップ IC と移相器 24 との接続関係を示した模式図である。図 12 に示されるように、フリップチップ IC 35 の表面全面に多数のバンパ 36 が形成されている。図 11 に示された各駆動回路 33 の出力側が各バンパ 36 にそれぞれ接続されており、各バンパ 36 はフォトリソグラフィ技術を用いて形成された配線 37 によって移相器 24 の各ビットに接続されている。なお、ここでいうフォトリソグラフィ技術

には、通常の意味で用いられる印刷配線技術の他に、基板上に形成された導体層の不要部分を除去して配線37を形成するエッチング技術も含まれる。図3に示されたストリップライン29、および図8に示された電極71の場合についても同様である。

【0063】フリップチップIC35には1000個程度のバンプ36が形成される。移相器24として例えば4ビットの移相器を使用するならば、このフリップチップIC35で250個程度の放射素子25を制御することができる。なお、このときのバンプ36の間隔は70～100μm程度であり、配線37の間隔は1.5μm程度である。

【0064】バンプ36と移相器24の各ビットとを接続する配線37は一層にまとめて形成される。しかし、アンテナの利得を上げるために放射素子25の数を増やしたり、ビームの放射方向の精度を上げるために移相器24のビット数を多くするなどして、移相器24の駆動回路33の数が増えすぎた場合には、配線37を多層に分けて形成してもよい。なお、駆動回路33は、説明の都合上、データラッチ回路32の論理レベルと駆動電圧cとの関連づけのために記載したものである。データラッチ回路32として、論理レベル「H」のときの出力電圧が駆動電圧cであるようなデータラッチ回路を使用すれば、駆動回路33を別途設けなくても、データラッチ回路32で駆動回路33の機能を兼ねることができるとはいうまでもない。

【0065】

【発明の効果】以上説明したように本発明では、移相器とこの移相器の移相を制御する移相制御回路とが一体的に形成される。したがって、移相器のスイッチであるマイクロ波スイッチが、移相器の他の部分と一体的に形成される。このため、従来のモジュール化されたスイッチを装着するための工程を削減できるので、フェーズドアレーアンテナ装置の製造コストを低減できる。また、移相器と移相制御回路とが一体的に形成されるので、従来外付けされていた移相器の駆動用ICを配置するためのスペースを除去できるので、フェーズドアレーアンテナ装置を小型化できる。また、移相器を制御するための配線を簡素化できる。

【0066】また、マイクロ波スイッチにより分布定数回路を選択的に接地に接続させる。これにより各放射素子への給電位相を変化させることができる。特に、移相器としてロードッドライン形移相器を用いれば移相量が小さい場合により特性が得られ、移相器としてスイッチドライン形移相器を用いれば移相量が大きい場合により特性が得られる。

【0067】また、移相器のスイッチに電極および微小可動子を含むマイクロ波スイッチが使用され、電極または微小可動子に外部電圧を印加することにより生ずる静電力によって、微小可動子に回路を開閉させる。この

マイクロ波スイッチは少ない電力で動作するため、移相器のスイッチによる消費電力を低減できる。また、放射素子および給電用結合手段と移相器とが一座標軸を挟んで異なる側に配置されることにより、放射素子と移相器とを同一基板の同一面上の限られた面積中に形成することが可能となる。このため、多層化により形成されたアンテナ部を構成する層を削減できる。

【0068】また、移相器の駆動手段がフリップチップICによって形成される。このため、従来より移相器駆動用のICを配置するためのスペースを縮小できるので、フェーズドアレーアンテナ装置を小型化できる。また、薄膜トランジスタ回路にデータラッチ回路を設け、あるいは、フリップチップICにデータラッチ回路を設け、タイミング信号に同期して各移相器に外部電圧を一斉に出力させる。これにより、各移相器の移相量を同時に変えることができるため、全ての放射素子の放射方向を一斉に変えることができる。また、データラッチ回路がマトリックス状に配置されることにより、データラッチ回路を含む薄膜トランジスタ回路への配線の数を少なくすることができる。

【0069】また、放射素子がマトリックス状に配置されることにより、限られた面積中に多くの放射素子を配置することができる。また、誘電体基板をガラス基板とすることにより、製造コストを低減できる。

【図面の簡単な説明】

【図1】 本発明によるフェーズドアレーアンテナ装置の第1の実施の形態の構成を示すブロック図である。

【図2】 図1に示されたフェーズドアレーアンテナ装置のアンテナ部の構造を示す展開図である。

【図3】 図2に示された移相器層の1ユニットの配置を示す透視図である。

【図4】 図1に示されたTFT回路の配置を示すブロック図である。

【図5】 図4に示されたデータラッチ回路22の構成を示すブロック図である。

【図6】 図5に示されたデータラッチ回路22'の動作を示すタイミングチャートである。

【図7】 図1に示されたデータラッチ回路22の他の構成を示すブロック図である。

【図8】 図3に示されたマイクロマシンスイッチの構造を示す斜視図である。

【図9】 図8に示されたマイクロマシンスイッチの平面図である。

【図10】 図8に示されたマイクロマシンスイッチの断面図である。

【図11】 本発明によるフェーズドアレーアンテナ装置の第2の実施の形態の構成を示すブロック図である。

【図12】 図11に示されたフェーズドアレーアンテナ装置のフリップチップICと移相器との接続関係を示した模式図である。

【図13】 図1に示されたフェーズドアレーアンテナ装置のアンテナ部の他の構造を示す展開図である。

【図14】 図1に示されたフェーズドアレーアンテナ装置のアンテナ部の更に他の構造を示す展開図である。

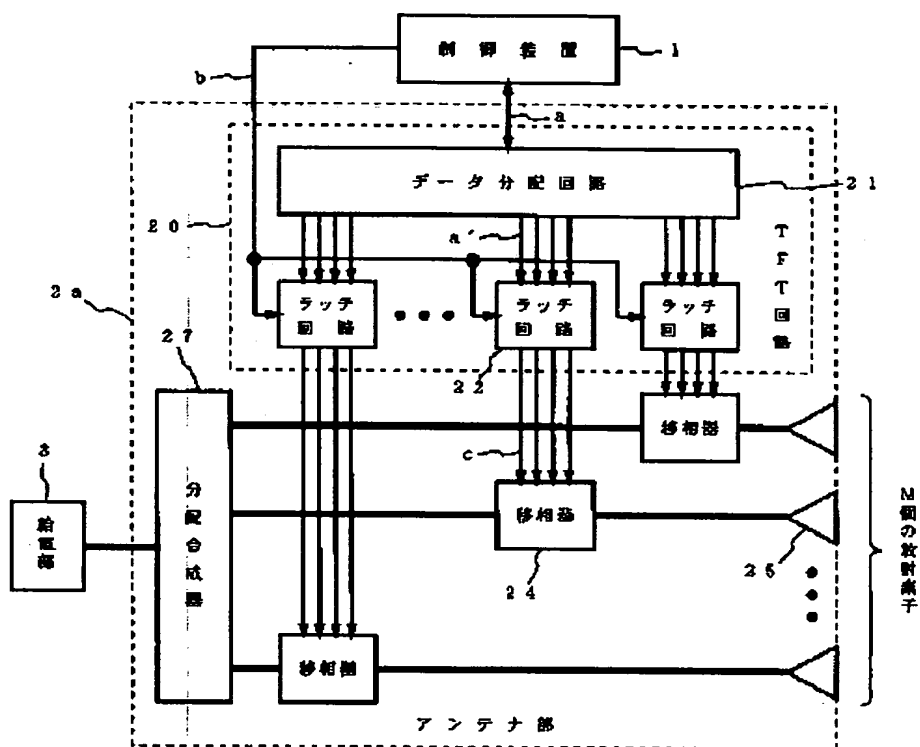
【図15】 図5に示されたデータラッチ回路22'の他の動作を示すタイミングチャートである。

【符号の説明】

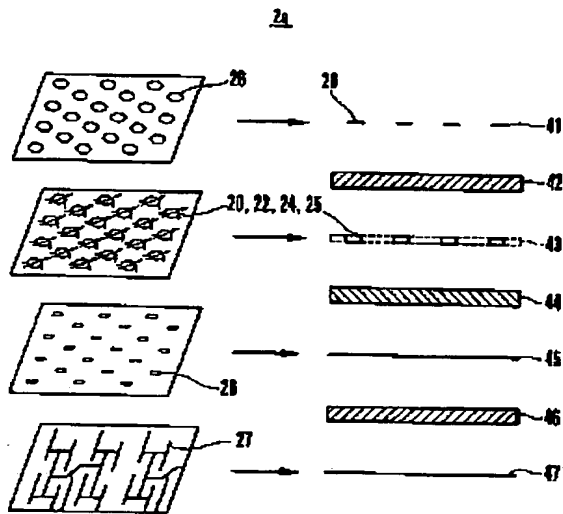
1…制御装置、2a、2b…アンテナ部、20…TFT回路、21、31…データ分配回路、22、22'、32、63、64…データラッチ回路、24…移相器、24a～24d…移相素子、25…放射素子、26…無給電素子、27…分配合成器、28…給電用スロット、29…ストリップライン、30…フリップチップIC回路、33…駆動回路、35…フリップチップIC、36…パンプ、37…配線、41…無給電素子層、42、44、46、432、434…誘電体層、43…移相回路層、45、433…給電用スロット層、47…分配合成層、50…ガラス基板、51…ストリップ線路、52…マイクロマシンスイッチ、53…接地、61…信号線、62…走査線、71…電極、72…微小可動子、73…支持部材、431…放射素子層、a…制御信号、b…タイミング信号、c…駆動電圧、X…座標軸。

\*電素子、27…分配合成器、28…給電用スロット、29…ストリップライン、30…フリップチップIC回路、33…駆動回路、35…フリップチップIC、36…パンプ、37…配線、41…無給電素子層、42、44、46、432、434…誘電体層、43…移相回路層、45、433…給電用スロット層、47…分配合成層、50…ガラス基板、51…ストリップ線路、52…マイクロマシンスイッチ、53…接地、61…信号線、62…走査線、71…電極、72…微小可動子、73…支持部材、431…放射素子層、a…制御信号、b…タイミング信号、c…駆動電圧、X…座標軸。

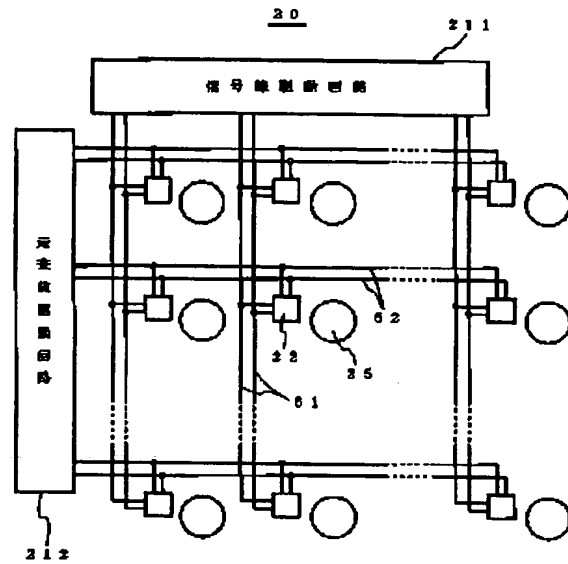
【図1】



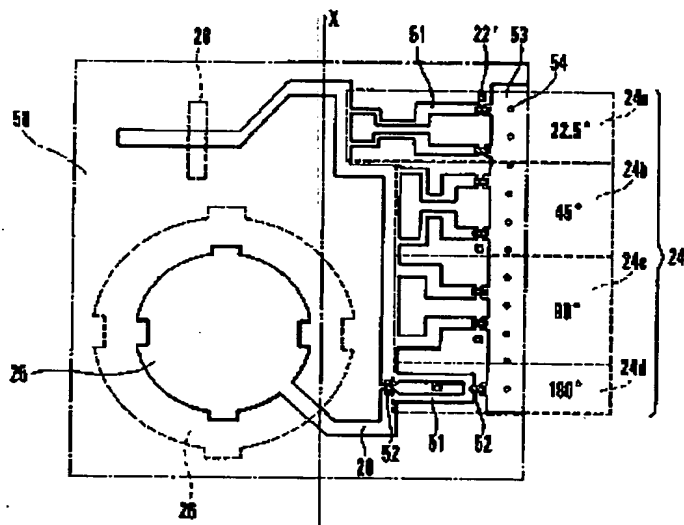
【図2】



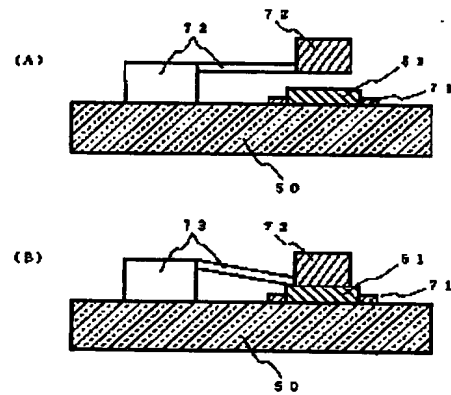
【図4】



【図3】



【図10】



【図12】

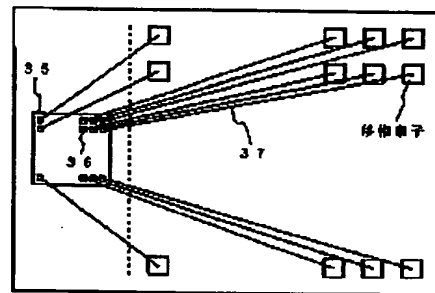
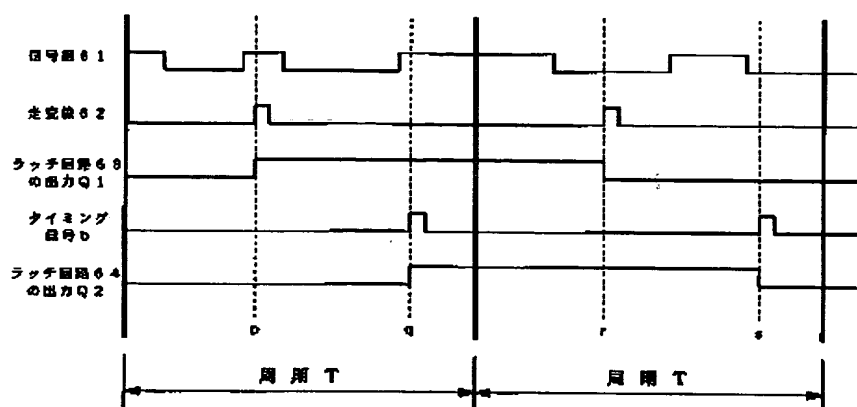


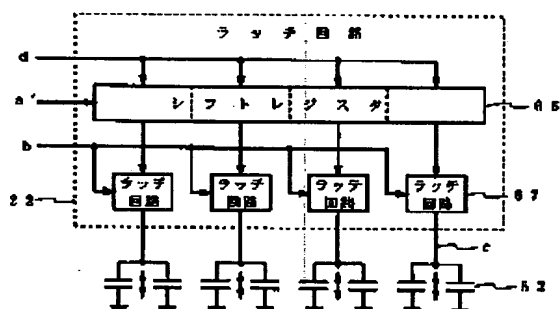
Figure 1 shows four circuit diagrams (a, b, c, d) illustrating different latch circuit configurations. Each diagram includes two latch circuits (ラッチ回路) and a feedback loop (ラッチ回路) connected to a common bus (c). The diagrams are labeled with angles: (90°), (45°), (180°), and (22.5°).

- (a) (90°):** Shows two latch circuits connected to a common bus (c). The feedback loop is connected to the output of the first latch circuit.
- (b) (45°):** Similar to (a), but the feedback loop is connected to the output of the second latch circuit.
- (c) (180°):** Shows two latch circuits connected to a common bus (c). The feedback loop is connected to the output of the first latch circuit.
- (d) (22.5°):** Similar to (a), but the feedback loop is connected to the output of the second latch circuit.

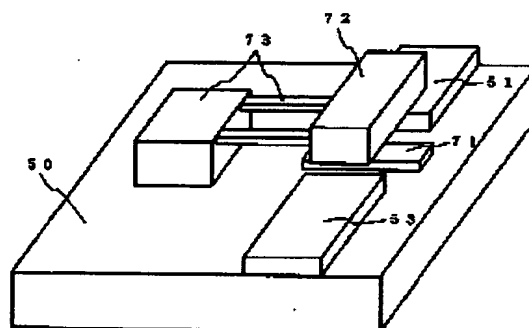
【図6】



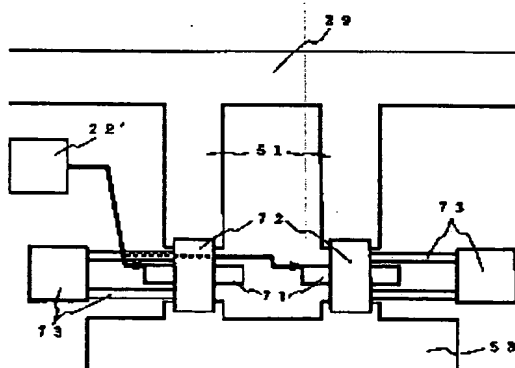
【図7】



【図8】

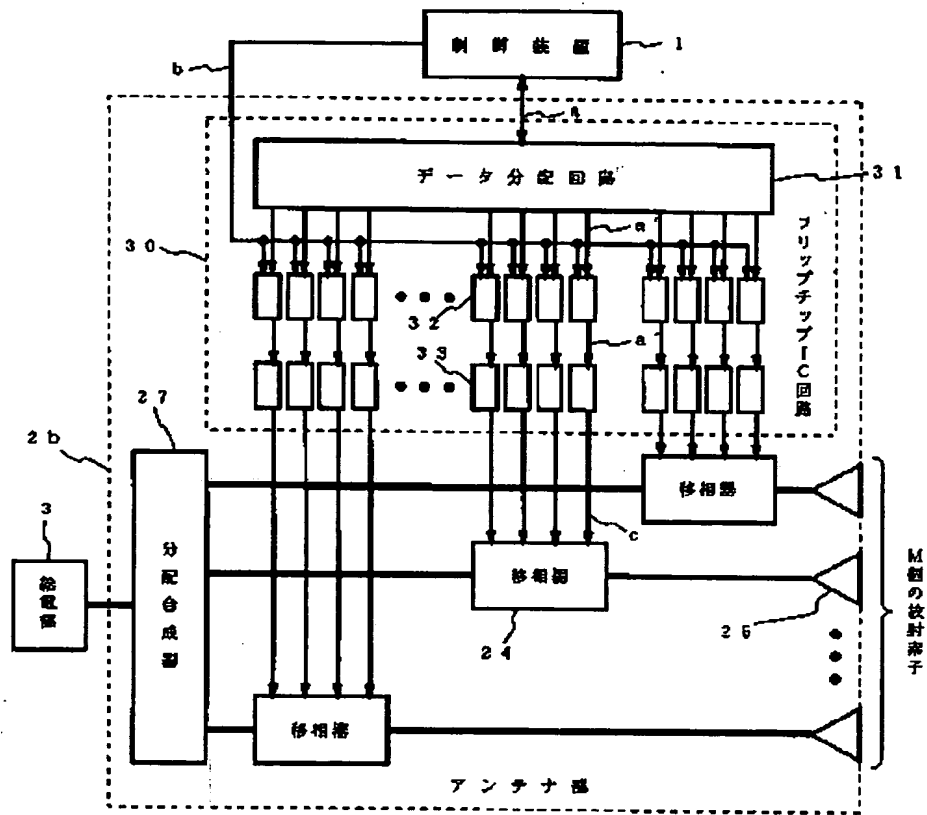


【図9】

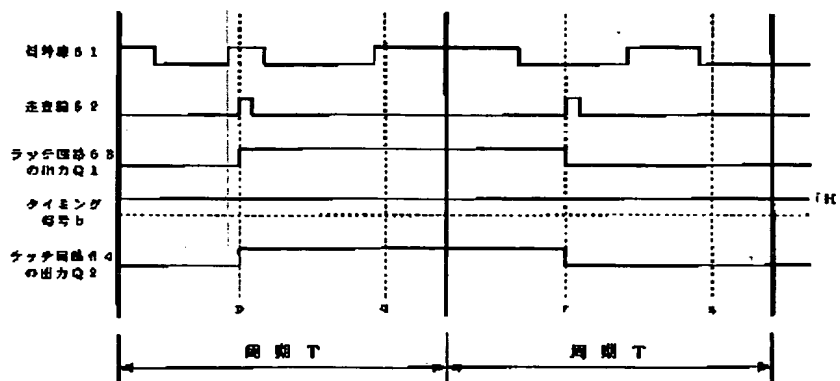




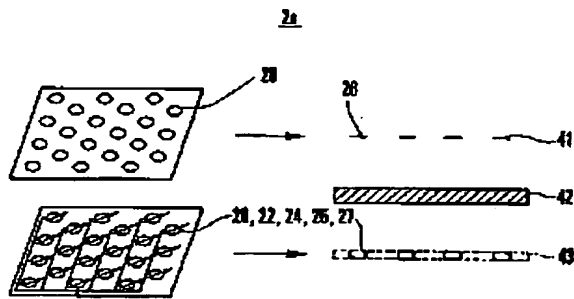
【図11】



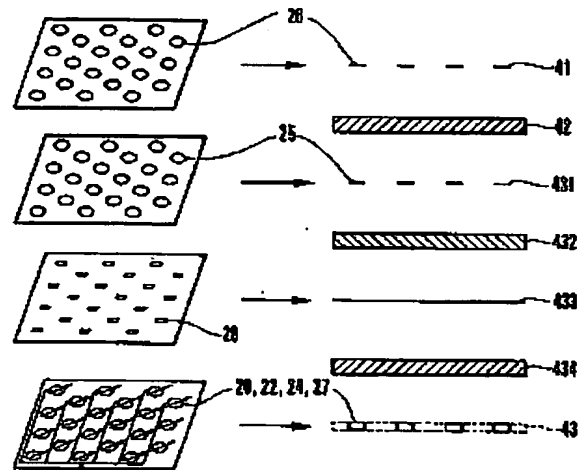
【図15】



【図13】



【図14】



フロントページの続き

(51)Int.Cl.<sup>°</sup>

H 0 1 Q 21/06

// G 0 1 S 7/02

H 0 1 Q 19/28

識別記号

F I

H 0 1 Q 21/06

G 0 1 S 7/02

H 0 1 Q 19/28

F

(72)発明者 佐梁 智昭

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(72)発明者 鈴木 健一郎

東京都港区芝五丁目7番1号 日本電気株  
式会社内